

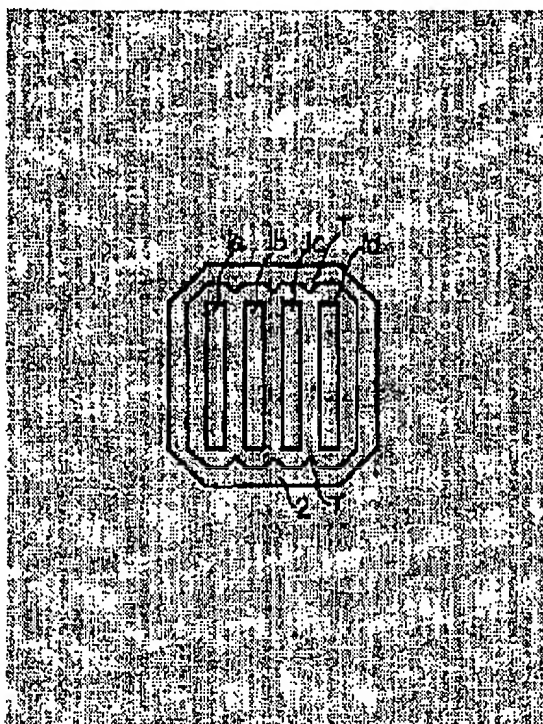
SEMICONDUCTOR DEVICE

Patent number: JP8029285
Publication date: 1994-02-04
Inventor: SHINTAKU HIDEOMI
Applicant: NIPPON ELECTRIC CO
Classification:
- International: H01L21/3205
- european:
Application number: JP19920180941 19920708
Priority number(s): JP19920180941 19920708

Report a data error here

Abstract of JP8029285

PURPOSE: To provide a semiconductor device which is capable of etching properly and forming a wiring layer at a fine span. **CONSTITUTION:** In terms of a semiconductor device having first wirings 1a, 1b, 1c and 1d oriented and laid out in one direction at a specified span on the surface of a semiconductor substrate, a second wiring 2 is installed on the substrate in such a fashion that the second wiring layer may keep a clearance from, and what is more, encircle the first wiring layers. This second wiring layer 2 has a projected part T projecting at the clearance portion so as to narrow the mutual clearance with the end portion of the first wirings. The projected part T, since it is designed to advance into the clearance portion when a plasma CVD film is mounted or etching is carried out, is protected from the formation of a void opening portion on a passivation film in a subsequent process or the generation of bubbles in a photoresist.

Data supplied from the esp@canet database - Worldwide

BEST AVAILABLE COPY

引用文献 3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-29285

(43) 公開日 平成5年(1994)2月4日

(51) Int.Cl. ⁸ H01L 21/3205	識別記号 7514-4M	庁内整理番号 H01L 21/88	F I	技術表示箇所 B
---	-----------------	----------------------	-----	-------------

審査請求 未請求 請求項の数 3 (全 4 頁)

(21) 出願番号 特願平4-180941

(22) 出願日 平成4年(1992)7月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 新名 秀臣

東京都港区芝五丁目7番1号 日本電気株式会社内

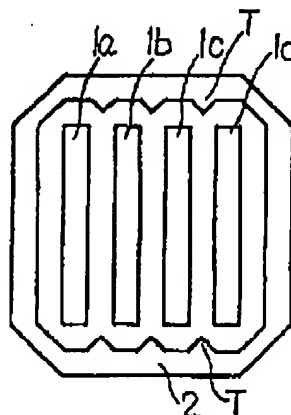
(74) 代理人 井堀士 後藤 洋介 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 エッチングを適確に行い得ると共に、微細な間隔で配線層を形成し得る半導体装置を提供するものである。

【構成】 半導体基板の表面に、一方向に所定の間隔をおいて整列配置された第1の配線1a, 1b, 1c, 1dを有する半導体装置において、第1の配線1a, 1b, 1c, 1dに対して垂直、且つ屈折するように第2の配線2を基板に設けている。この第2の配線2は、第1の配線の端部と相互間隔を狭めるべく、間隔部分に向けて突出した突出部Tを有する。突出部TはプラズマCVD膜の被着時やエッチング時に間隔部分に突出する為、後に続く工程でパッシベーション膜にボイド開口部が形成されたり、或いはフォトリソスト内に気泡が発生することが防止される。



BEST AVAILABLE COPY

(2)

特開平6-29285

【特許請求の範囲】

【請求項1】 半導体基板の表面に、一方向に所定間隔を置いて第1の配線が整列配置された半導体装置において、前記基板上に前記第1の配線に対して離間され、且つ該第1の配線を囲繞するように第2の配線を設け、該第2の配線は該第1の配線の端部間の間隙部分に向けて突出された突出部を有することを特徴とする半導体装置。

【請求項2】 前記第2の配線は、ダミー配線であることを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体基板の表面に、複数段で分割的に所定間隔を置いて整列配置された第1の配線列と、前記第1の配線の両外側に平行し、且つ該両外側とは隣間されて配置された第2の配線と、前記第1の配線の所定間隔の間であって、且つ前記第2の配線の間において該第1の配線の延在方向とは交差する方向に延在して配置された第3の配線とを有し、前記第1の配線の終端部と対向する前記第3の配線の両側部と、前記第3の配線の終端部と対向する前記第2の配線の側部とは、それぞれ各配線間の間隙部分に向けて突出された突出部を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば半導体集積回路装置等、狭いピッチで設けられた配線を有する半導体装置に関する。

【0002】

【従来の技術】 近年、微細化された半導体装置には、フォトリソグラフィーの解像度で許容し得る最小間隔でパターンニングされた導体層を用いている。

【0003】 一方、従来のDRAMのワード線は、図4(A)に示す如く、アルミニウム(A1)の配線5a、5b、5c、5dをそれぞれ狭い間隔で平行に配置している。これらのアルミニウム配線5a、5b、5c、5dの終端は、図4(A)に示す如く、一様な形状に処理されている。更に、この上にはパッシベーション膜6として、プラズマCVD膜が被着される。

【0004】

【発明が解決しようとする課題】 上述した半導体装置の場合、プラズマCVD膜の被着時に、パッシベーション膜6には図4(B)【但し、この図は図4(A)に示した配線上にパッシベーション膜を施したときのI-I'線方向の断面図である】に示す如く、ボイド4a、4b、4cにそれぞれ開口部が形成される。

【0005】 又、引き続きパッシベーション膜6上にフォトリソグラフィーによりボンディング・パッド部等の開口を形成すべく、フォトレジスト8を塗布すると、図4(C)に示す如くボイド4a、4b、4cにそれぞれ形成されたボイド開口部9a、9b、9cの近傍のフォトレジスト9中に気泡7a、7b、7cが発生してし

まう。

【0006】 このような状態で、フォトレジストに対して無限大の選択比を有しないカバー膜のエッチングを行うと、気泡の存在する部分でフォトレジストの膜厚が突如的に薄くなっているためマスク性が不足してしまう。この結果、しばしばその下のパッシベーション膜6がエッチングされてしまう不都合を生じる。

【0007】 本発明は、かかる問題点を解決すべくされたものであり、その技術的課題は、エッチングを適確に行い得ると共に、微細な間隔で配線層を形成し得る半導体装置を提供することにある。

【0008】

【課題を解決するための手段】 本発明によれば、半導体基板の表面に、一方向に所定間隔を置いて第1の配線が整列配置された半導体装置において、基板上に第1の配線に対して離間され、且つ該第1の配線を囲繞するように第2の配線を設け、該第2の配線は該第1の配線の端部間の間隙部分に向けて突出された突出部を有する半導体装置が得られる。

【0009】 又、本発明によれば、上記半導体装置において、第2の配線はダミー配線である半導体装置が得られる。

【0010】 更に、本発明によれば、半導体基板の表面に、複数段で分割的に所定間隔を置いて整列配置された第1の配線列と、第1の配線の両外側に平行し、且つ該両外側とは隣間されて配置された第2の配線と、第1の配線の所定間隔の間であって、且つ第2の配線の間において該第1の配線の延在方向とは交差する方向に延在して配置された第3の配線とを有し、第1の配線の終端部と対向する第3の配線の両側部と、第3の配線の終端部と対向する第2の配線の側部とは、それぞれ各配線間の間隙部分に向けて突出された突出部を有する半導体装置が得られる。

【0011】

【作用】 本発明の半導体装置においては、配線間の終端間の間隙に向けて突出する突出部を配線に設けているので、プラズマCVD膜の被着時やエッチングに際して、この突出部が間隙部分に進入する。それ故、パッシベーション膜中のボイドが避けられない場合でも、その上に塗布されるフォトレジスト中に気泡が発生することを無くすることができる。結果として、パッシベーション膜間でエッチングされてしまうといった不都合が除去され、半導体基板の表面に微細な間隔で配線層が形成される。

【0012】

【実施例】 以下に実施例を挙げ、本発明の半導体装置について図面を参照して詳細に説明する。図1は、本発明の一実施例である半導体装置の要部を平面図により示したものである。この半導体装置は、半導体基板の表面に整列配置された配線（第1の配線）1a、1b、1c、

(3)

特開平6-29285

1dと、これら第1の配線列に対して間隔され、且つ第1の配線列を圍繞した配線(第2の配線)2とが設けられている。これら第1及び第2の配線は、何れもアルミニウムを用いて形成されている。

【0013】配線1a, 1b, 1c, 1dは実際に使用される配線であり、配線2はダミー配線である。この配線2の第1の配線列列には、後に続く半導体装置の製造工程でボイド開口部が形成されないように対策すべく、配線1a, 1b, 1c, 1d間の終端の間隔に向けて突出する突出部Tが形成されている。ここで配線2に途切れがあると、その途切れ部にて新たにボイド開口部を生じる為、配線2は配線1a, 1b, 1c, 1dを圍繞するように設けられている。

【0014】このような構成による半導体装置は、配線2に配線1a, 1b, 1c, 1dの間隔に向けて突出する突出部Tを設け、間隔部分を狭めているので、プラズマCVD膜の被着時やエッチング時に突出部Tが間隔部分に突出する為、パッシベーション膜にボイド開口部が形成されたり、或いはフォトレジスト内に気泡が発生することが防止される。

【0015】尚、この実施例では配線2をダミーとしたが、この配線2は実際の配線として使用されても良い。又、例えば図2に示す如く、配線1dを無くして第1の配線を配線1a, 1b, 及び1cとし、配線2をボイド開口部が発生しても差し支えない部分にまで延長するように形成し、他の実施例としての半導体装置を構成しても良い。

【0016】図4は、本発明の別の実施例である半導体装置の要部を平面図により示したものである。この半導体装置においては、第1の配線が複数段で分割的に所定の間隔を置いて整列配置されている。図示するもので、第1の配線は上段群10a, 10b, 10cと下段群11a, 11b, 11cとを成し、これらの上段群10a, 10b, 10cと下段群11a, 11b, 11cとはそれぞれ上下に所定の間隔を置いて配置されている。

【0017】又、第1の配線の外側には、上段群及び下段群を連結した長さを有する長尺状の第2の配線12a, 12bが第1の配線に平行し、且つ第1の配線を挟む位置に設けられている。

【0018】更に、第1の配線の上下群における所定間隔の間であって、且つ第2の配線12a, 12b間には、第1の配線の延在方向と交差する方向(図示するものでは直交する方向)に第3の配線13が設けられている。この第3の配線13は、図示の如く、第2の配線12a, 12b間に収容される程度の寸法を有し、その長さは第1の配線の上下群の幅方向の長さ、即ち、配線10aから配線10cまでの間の寸法とほぼ同じである。

【0019】加えて、ここでは第1の配線の終端部と対向する第3の配線13の両側部と、第3の配線13の終端部と対向する第2の配線12a, 12bの側部とに、

それぞれ各配線間の間隔に向けて突出する突出部Tが形成されている。

【0020】このような構成による半導体装置も、第2の配線12a, 12bと第3の配線13とにそれぞれ配線間の間隔部分に突出する突出部Tが形成され、間隔部分が狭められているので、プラズマCVD膜の被着時やエッチング時に際して、パッシベーション膜にボイド開口部が形成されたり、或いはフォトレジスト内に気泡が発生することを防止できる。

【0021】尚、この実施例では第1の配線を第1の配線を上段群10a, 10b, 10cと下段群11a, 11b, 11cとによる上下2段列から成るものとしたが、この第1の配線を3段列以上として半導体装置を構成しても良い。従って、本発明は実施例に限定されない。

【0022】

【発明の効果】以上に説明したように、本発明の半導体装置によれば、配線相互間の間隔部分が狭められるように突出部を配線に設けると共に、その間隔部分に突出部が突出されるように配置を考慮して基板上に各配線を設けているので、ボイド開口部が形成されたり、フォトレジスト内に気泡が発生することなくなる。これにより、フォトリソグラフィ工程にて意図しない部分がエッチングされる事態が回避され、エッチングを適確に行い得るようになる。即ち、本発明は微細な間隔で層を成す配線を有する半導体集積回路装置を構成する上で有利となる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体装置の要部を示した平面図である。

【図2】本発明の他の実施例である半導体装置の要部を示した平面図である。

【図3】本発明の別の実施例である半導体装置の要部を示した平面図である。

【図4】(A)は従来の半導体装置の要部を示した平面図、(B)は(A)に示した配線上にパッシベーション膜を施したときの1-1'線方向の断面図、(C)は(B)に示したパッシベーション膜上にフォトレジストを施し、ボイドの開口部に生じた気泡を示す図である。

【符号の説明】

1a, 1b, 1c, 1d, 10a, 10b, 10c, 11a, 11b, 11c 第1の配線
2, 12a, 12b 第2の配線
3a, 3b, 3c, 3d, 5a, 5b, 5c, 5d 配線

4a, 4b, 4c ボイド

6 パッシベーション膜

7a, 7b, 7c 気泡

8 フォトレジスト

9a, 9b, 9c ボイド開口部

BEST AVAILABLE COPY

(4)

特開平6-29285

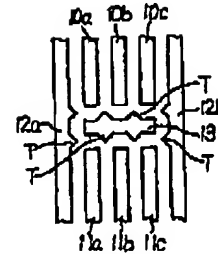
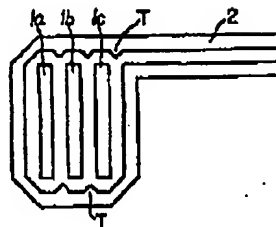
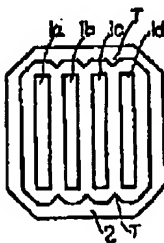
13 第3の配線

T 突出部

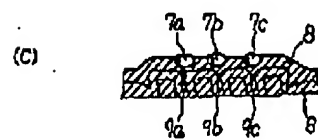
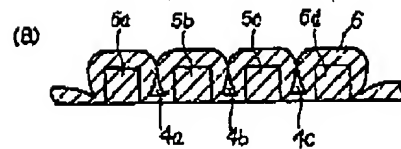
【図1】

【図2】

【図3】



【図4】



BEST AVAILABLE COPY